

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-253976

(43)Date of publication of application : **25.09.1998**

(51)Int.Cl.

G02F	1/1343
G02F	1/136
G09F	9/30
H01L	29/786
H01L	21/336

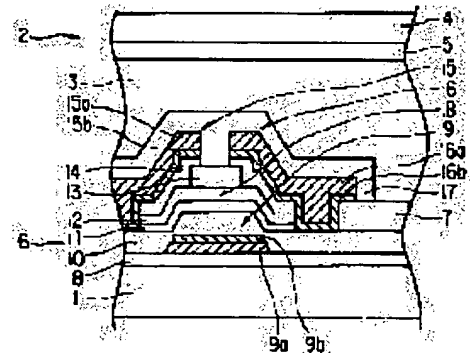
(21)Application number : **09-057668** (71)Applicant : **TOSHIBA CORP**  
(22)Date of filing : **12.03.1997** (72)Inventor : **SHIMIZU TOSHIO**  
**NIIMURA TADASHI**  
**SAITO SHUICHI**  
**KANO MASAACKI**

**(54) LIQUID CRYSTAL DISPLAY ELEMENT**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To enable the use of an electrode wiring consisting of a low-resistance alloy and to improve the aperture ratio by making the width of the electrode wiring minute without deteriorating the operation and function, by covering the contact surfaces of respective electrode bodies and other layers with films consisting of a specified material.

**SOLUTION:** The gate electrodes 9 are formed of the electrode bodies 9a which consist of Al or Al alloy or Cu or Cu alloy and the films 9b which consist of at least one kind of the materials selected from TiN, MoTa, MoW and cover at least the contact surfaces existing between the electrode bodies 9a and channel parts 18 among the surfaces at which the electrode bodies 9a come into contact with first gate insulating layers 10. The source electrodes 15 (drain electrodes 16) are formed of the electrode bodies 15a (16a) which consist of Al or an Al alloy or Cu or a Cu alloy and the films 15b (16b) which consist of at least one kind of the materials selected from among TiN, MoTa, MoW and cover the contact surfaces (contact surfaces and pixel electrodes 7) with at least the high concn. silicon active layers 14 of the electrode bodies 15a (16a).



## LEGAL STATUS

[Date of request for examination] 12.03.2004

[Date of sending the examiner's decision of rejection] 09.01.2007

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

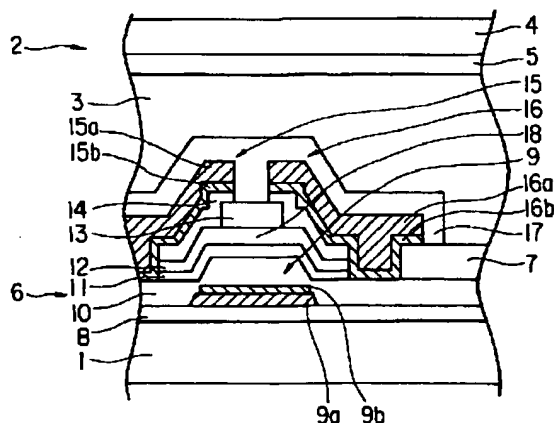
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

(43)公開日 平成10年(1998)9月25日



## 【特許請求の範囲】

【請求項1】 ガラス基板；前記ガラス基板上に形成されたゲート電極と、このゲート電極上に順次形成されたゲート絶縁層、シリコン活性層および高濃度シリコン活性層と、この高濃度シリコン活性層に互いに電氣的に分離して設けられたソース電極、ドレイン電極とを有するボトムゲート型の薄膜トランジスタ；および前記ガラス基板上に配置され、前記ドレイン電極と接続されたITO膜からなる画素電極；を具備し、  
前記ゲート電極は、AlまたはAl合金からなる電極本体と、この電極本体の前記ゲート絶縁層と接触する面のうち、少くとも前記電極本体と前記シリコン活性層のチャネル部との間に位置する接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成され、  
前記ソース電極は、AlまたはAl合金からなる電極本体と、この電極本体の少くとも前記高濃度シリコン活性層との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成され、  
前記ドレイン電極は、AlまたはAl合金からなる電極本体と、この電極本体の少くとも前記高濃度シリコン活性層との接触面および前記画素電極との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成されていることを特徴とする液晶表示素子。

【請求項2】 ガラス基板；前記ガラス基板上に形成されたゲート電極と、このゲート電極上に順次形成されたゲート絶縁層、シリコン活性層および高濃度シリコン活性層と、この高濃度シリコン活性層に互いに電氣的に分離して設けられたソース電極、ドレイン電極とを有するボトムゲート型の薄膜トランジスタ；および前記ガラス基板上に配置され、前記ドレイン電極と接続されたITO膜からなる画素電極；を具備し、  
前記ゲート電極は、CuまたはCu合金からなる電極本体と、この電極本体の前記ゲート絶縁層と接触する面のうち、少くとも前記電極本体と前記シリコン活性層のチャネル部との間に位置する接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成され、  
前記ソース電極は、CuまたはCu合金からなる電極本体と、この電極本体の少くとも前記高濃度シリコン活性層との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成され、  
前記ドレイン電極は、CuまたはCu合金からなる電極本体と、この電極本体の少くとも前記高濃度シリコン活性層との接触面および前記画素電極との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成されていることを特

徴とする液晶表示素子。

【請求項3】 ガラス基板；前記ガラス基板上に形成されたシリコン活性層と、このシリコン活性層上に順次形成されたゲート絶縁層、ゲート電極、第1層間絶縁層および第2層間絶縁層と、前記第1層間絶縁層上に形成され、前記ゲート絶縁層および第1層間絶縁層を貫通して、前記シリコン活性層に互いに電氣的に分離して接続された、ソース電極およびドレイン電極とを有するトップゲート型の薄膜トランジスタ；および前記第2層間絶縁層上に配置され、この第2層間絶縁層を貫通して前記ドレイン電極と接続されたITO膜からなる画素電極；を具備し、  
前記ゲート電極は、AlまたはAl合金からなる電極本体と、この電極本体の少くとも前記ゲート絶縁層との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成され、  
前記ソース電極は、AlまたはAl合金からなる電極本体と、この電極本体の少くとも前記シリコン活性層との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成され、  
前記ドレイン電極は、AlまたはAl合金からなる電極本体と、この電極本体の少くとも前記シリコン活性層との接触面および前記画素電極との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成されていることを特徴とする液晶表示素子。

【請求項4】 ガラス基板；前記ガラス基板上に形成されたシリコン活性層と、このシリコン活性層上に順次形成されたゲート絶縁層、ゲート電極、第1層間絶縁層および第2層間絶縁層と、前記第1層間絶縁層上に形成され、前記ゲート絶縁層および第1層間絶縁層を貫通して、前記シリコン活性層に互いに電氣的に分離して接続された、ソース電極およびドレイン電極とを有するトップゲート型の薄膜トランジスタ；および前記第2層間絶縁層上に配置され、この第2層間絶縁層を貫通して前記ドレイン電極と接続されたITO膜からなる画素電極；を具備し、  
前記ゲート電極は、CuまたはCu合金からなる電極本体と、この電極本体の少くとも前記ゲート絶縁層との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成され、  
前記ソース電極は、CuまたはCu合金からなる電極本体と、この電極本体の少くとも前記シリコン活性層との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成され、  
前記ドレイン電極は、CuまたはCu合金からなる電極本体と、この電極本体の少くとも前記シリコン活性層との接触面および前記画素電極との接触面を覆う、TiN、MoTa、MoWから選ばれた少くとも1種の材料からなる被膜とから形成されていることを特徴とする

液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示素子に関するものである。

【0002】

【従来の技術】薄膜トランジスタ(TFT)を有する液晶表示素子(LCD)は、ガラス基板と、このガラス基板上に形成されたボトムゲート型もしくはトップゲート型のTFT、および画素電極と、前記ガラス基板に対して所望する距離だけ隔てて対向配置されたカラーフィルター基板と、前記ガラス基板と前記カラーフィルター基板の間に封入された液晶とを備えている。

【0003】前記ガラス基板上には、TFTとTFT、およびTFTと画素電極を接続するための電極配線が設けられている。電極配線としては、ソース電極、ドレイン電極およびゲート電極がある。ソース電極は、TFTのシリコン活性層に接続されている。ドレイン電極は、一端が、前記シリコン活性層に前記ソース電極と電気的に分離して接続され、他端は、ITO膜からなる画素電極に接続されている。ゲート電極は、前記シリコン活性層にゲート絶縁層を介して接続されている。

【0004】従来、上述の電極配線に使用されてきた材料としては、MoTa、MoW、Mo、Ta、Cr、Nb、W、Ti、TiWなどがある。これらの電極配線材料は、抵抗率が $10^{-5}$ から $10^{-4}\Omega\text{cm}$ の範囲のオーダーである。

【0005】前述の液晶表示素子において、明度を高くするためには前記ガラス基板上での画素電極の占める割合、つまり開口率を向上させることが必要である。このため、より抵抗の低い材料からなる電極配線を用いて、電極配線幅を細くすることが求められている。現在の電極配線幅としては、 $10\mu\text{m}$ 程度である。

【0006】このようなことから、抵抗率が $10^{-6}\Omega\text{cm}$ のオーダーと、従来のMoTaのような材料よりも低い、AlまたはAl合金、もしくはCuまたはCu合金を使用することが望まれている。しかし、AlまたはAl合金、もしくはCuまたはCu合金をTFTの電極配線として使用すると、液晶表示素子の製造中および完成後に、従来の材料では生じなかった以下の問題が生じる。

【0007】(1) AlまたはAl合金の薄膜または電極が形成されたガラス基板を、エッチングマスクとなるレジストパターンを形成するために現像液へ浸透させた際に、ITO膜とドレイン電極用のAlまたはAl合金が接触している部分で、酸化還元反応が起きる。この反応により、Alが酸化して $\text{Al}_2\text{O}_3$ 。絶縁物が生成されるため、ドレイン電極と画素電極間での導通が取れなくなる。その結果、前記TFTのON、OFF制御において画素電極が動作しなくなる。また、前記酸化還元反応

において、ITO膜が還元されてInやSnが析出し、画素電極が変質して黒く不透明になる。

【0008】(2) 絶縁膜やパッシベーション膜をCVDなどで成膜中、ガラス基板の温度は $300^\circ\text{C}$ 以上に上昇する。その際、AlまたはAl合金、もしくはCuまたはCu合金からなるソース電極およびドレイン電極と、シリコン活性層が接触している部分で、相互拡散が起きる。その結果、接触部のコンタクト抵抗が増加して、TFTの動作特性が劣化する。

【0009】(3) 絶縁膜やパッシベーション膜をCVDなどで成膜中に、ガラス基板の温度が $300^\circ\text{C}$ 以上に上昇した際、AlまたはAl合金からなるゲート電極の表面に、ヒロックと呼ばれる突起が発生する。その結果、ゲート絶縁層がヒロックによって突き破られ、ゲート電極と前記活性層のチャネル部が短絡して、TFTが動作しなくなる。

【0010】

【発明が解決しようとする課題】上述のように、低抵抗のAlまたはAl合金、もしくはCuまたはCu合金は、電極配線として用いると、液晶表示素子の動作および機能を劣化させるため、液晶表示素子の電極材料としては使用が困難であった。

【0011】本発明の目的は、液晶表示素子の動作および機能を劣化させることなく、低抵抗のAlまたはAl合金、もしくはCuまたはCu合金からなる電極配線の使用を可能にし、電極配線幅の微細化による開口率の向上が達成された、液晶表示素子を提供することである。

【0012】

【課題を解決するための手段】

(1) 本発明に係る液晶表示素子は、ガラス基板；前記ガラス基板上に形成されたゲート電極と、このゲート電極上に順次形成されたゲート絶縁層、シリコン活性層および高濃度シリコン活性層と、この高濃度シリコン活性層に互いに電気的に分離して設けられたソース電極、ドレイン電極とを有するボトムゲート型の薄膜トランジスタ；および前記ガラス基板上に配置され、前記ドレイン電極と接続されたITO膜からなる画素電極；を具備し、前記ゲート電極は、AlまたはAl合金からなる電極本体と、この電極本体の前記ゲート絶縁層と接触する面のうち、少なくとも前記電極本体と前記シリコン活性層のチャネル部との間に位置する接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成され、前記ソース電極は、AlまたはAl合金からなる電極本体と、この電極本体の少なくとも前記高濃度シリコン活性層との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成され、前記ドレイン電極は、AlまたはAl合金からなる電極本体と、この電極本体の少なくとも前記高濃度シリコン活性層との接触面および前記画素電極との接触面を覆う、TiN、MoT

a、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成されている。

【0013】(2)本発明に係る液晶表示素子は、ガラス基板；前記ガラス基板上に形成されたゲート電極と、このゲート電極上に順次形成されたゲート絶縁層、シリコン活性層および高濃度シリコン活性層と、この高濃度シリコン活性層に互いに電気的に分離して設けられたソース電極、ドレイン電極とを有するボトムゲート型の薄膜トランジスタ；および前記ガラス基板上に配置され、前記ドレイン電極と接続されたITO膜からなる画素電極；を具備し、前記ゲート電極は、CuまたはCu合金からなる電極本体と、この電極本体の前記ゲート絶縁層と接触する面のうち、少なくとも前記電極本体と前記シリコン活性層のチャネル部との間に位置する接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成され、前記ソース電極は、CuまたはCu合金からなる電極本体と、この電極本体の少なくとも前記高濃度シリコン活性層との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成され、前記ドレイン電極は、CuまたはCu合金からなる電極本体と、この電極本体の少なくとも前記高濃度シリコン活性層との接触面および前記画素電極との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成されている。

【0014】(3)本発明に係る液晶表示素子は、ガラス基板；前記ガラス基板上に形成されたシリコン活性層と、このシリコン活性層上に順次形成されたゲート絶縁層、ゲート電極、第1層間絶縁層および第2層間絶縁層と、前記第1層間絶縁層上に形成され、前記ゲート絶縁層および第1層間絶縁層を貫通して、前記シリコン活性層に互いに電気的に分離して接続された、ソース電極およびドレイン電極とを有するトップゲート型の薄膜トランジスタ；および前記第2層間絶縁層上に配置され、この第2層間絶縁層を貫通して前記ドレイン電極と接続されたITO膜からなる画素電極；を具備し、前記ゲート電極は、AlまたはAl合金からなる電極本体と、この電極本体の少なくとも前記ゲート絶縁層との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成され、前記ソース電極は、AlまたはAl合金からなる電極本体と、この電極本体の少なくとも前記シリコン活性層との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成され、前記ドレイン電極は、AlまたはAl合金からなる電極本体と、この電極本体の少なくとも前記シリコン活性層との接触面および前記画素電極との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成されている。

【0015】(4)本発明に係る液晶表示素子は、ガラ

ス基板；前記ガラス基板上に形成されたシリコン活性層と、このシリコン活性層上に順次形成されたゲート絶縁層、ゲート電極、第1層間絶縁層および第2層間絶縁層と、前記第1層間絶縁層上に形成され、前記ゲート絶縁層および第1層間絶縁層を貫通して、前記シリコン活性層に互いに電気的に分離して接続された、ソース電極およびドレイン電極とを有するトップゲート型の薄膜トランジスタ；および前記第2層間絶縁層上に配置され、この第2層間絶縁層を貫通して前記ドレイン電極と接続されたITO膜からなる画素電極；を具備し、前記ゲート電極は、CuまたはCu合金からなる電極本体と、この電極本体の少なくとも前記ゲート絶縁層との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成され、前記ソース電極は、CuまたはCu合金からなる電極本体と、この電極本体の少なくとも前記シリコン活性層との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成され、前記ドレイン電極は、CuまたはCu合金からなる電極本体と、この電極本体の少なくとも前記シリコン活性層との接触面および前記画素電極との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜とから形成されている。

【0016】

【発明の実施の形態】図1は、本発明に係る、ボトムゲート型TFTを有する液晶表示素子の平面図、図2は断面図である。液晶表示素子は、TFTおよび画素電極が形成されたガラス基板1とカラーフィルター基板2との間に液晶3が封入された構造をなす。

【0017】カラーフィルター基板2は、ガラス基板上に前記画素電極に対応したカラーフィルター4が形成され、その上に、ITO膜5が形成された構造をなす。ガラス基板1上には、TFT6と、各TFT6に隣接したITO膜からなる画素電極7が形成されている。前記TFT6は、前記ガラス基板1上の下地コート8の上にゲート電極9が形成され、その上に、第1ゲート絶縁層10、第2ゲート絶縁層11、シリコン活性層12、チャネル保護膜13、高濃度シリコン活性層14、ソース電極15およびドレイン電極16、パッシベーション膜17が形成された、ボトムゲート型の構造をなす。前記ソース電極15およびドレイン電極16は、前記シリコン活性層12のチャネル部18の両側に、互いに電気的に分離して設けられている。また、前記画素電極7は、前記ドレイン電極16と接続されている。

【0018】前記ゲート電極9は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体9aと、この電極本体9aが前記第1ゲート絶縁層10と接触する面のうち、少なくとも前記電極本体9aと前記チャネル部18との間に位置する接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料から

なる被膜9bとから形成されている。

【0019】また、前記ソース電極15は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体15aと、この電極本体15aの少なくとも前記高濃度シリコン活性層14との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜15bとから形成されている。

【0020】また、前記ドレイン電極16は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体16aと、この電極本体16aの少なくとも前記高濃度シリコン活性層14との接触面および前記画素電極7との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜16bとから形成されている。

【0021】ここで、Al合金としては、例えばAl-Si、Al-Si-Cu、Al-Y、Al-Ndからなる合金等を挙げることができる。また、Cu合金としては、例えばCu-Ti、Cu-Nbからなる合金等を挙げることができる。

【0022】被覆用の材料としては、例えばTiN、MoTa、MoW、Mo、Ta、Nb、W、TiW、Ti、Cr等を挙げることができる。これらの材料は、バリア層としての効果があり、レジスト現像液中でITO膜と接触していても、接触部分で酸化還元反応が起こることはない。また、CVD成膜中などに基板温度が300℃以上に上昇しても、シリコン膜との接触部分で相互拡散が起こることはない。さらに、CVD成膜中などに基板温度が300℃以上に上昇しても、ヒロックが発生することはない。前述の被覆用材料のうち、特にTiNは、Alと同じ条件でドライエッチングできるため、TiNを被覆したAl薄膜から、同じマスクを用いた1回のドライエッチングにより、TiN被膜を有するAl電極を形成することができる。また、前述の被覆用材料のうち、特にMoTaおよびMoWは、耐薬液性に優れ、ITO膜のエッチングに用いる酸性薬液等に耐えるという利点、および低抵抗であるという利点を有する。

【0023】また、前記ソース電極15の被膜15bは、前記ソース電極15が前記高濃度シリコン活性層14と接触する面だけでなく、前記ソース電極15が前記パッシベーション膜17と接触する面を覆うように配置されても良い。さらに、前記ドレイン電極16の被膜16bは、前記ドレイン電極16が前記高濃度シリコン活性層14と接触する面だけでなく、前記ドレイン電極16が前記パッシベーション膜17と接触する面を覆うように配置されても良い。このように前記ソース電極15およびドレイン電極16の表面側に被膜を配置することによって、AlまたはAl合金、もしくはCuまたはCu合金の可視光に対する高い反射率のために、前記ソース電極15およびドレイン電極16の表面が反射して、液晶表示画面が見にくくなることを防止できる。

【0024】次に、上述のボトムゲート型TFTを有する液晶表示素子の製造方法を、図3および図4を参照して説明する。

(1) ガラス基板1上に、下地コート膜8をCVD法により成膜し、その上に、ゲート電極用の、AlまたはAl合金、もしくはCuまたはCu合金からなる薄膜19を、図3の(a)に示すように、スパッタリング法により成膜する。この薄膜19の膜厚としては、例えば300~700nmにすることが好ましい。

【0025】(2) TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる薄膜20を、図3の(b)に示すように、スパッタリング法により成膜する。この薄膜20の膜厚としては、例えば20~70nmにすることが好ましい。

【0026】(3) 図示しないマスクを用いてパターニングし、図3の(c)に示すように、ゲート電極9を形成する。ゲート電極9は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体9aと、この電極本体9aのゲート絶縁層と接触する面のうち、少なくとも前記電極本体9aとシリコン活性層のチャネル部との間に位置する接触面を覆うように被覆された、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜9bとから形成される。図1および図2に示す液晶表示素子においては、前記電極本体9aとシリコン活性層のチャネル部との間に位置する接触面は、図3の(c)に示すように、前記ゲート電極9の上面となる。

【0027】(4) 第1ゲート絶縁層10、第2ゲート絶縁層21、シリコン膜22、チャネル保護膜用絶縁膜をCVD法により連続成膜する。その後、パターニングして、図3の(d)に示すように、前記シリコン膜22上にチャネル保護膜13を形成する。

【0028】(5) 高濃度シリコン膜をCVD法により成膜し、図示しないマスクを用いてパターニングして、図3の(e)に示すように、高濃度シリコン活性層14を形成した後、前記シリコン膜22を、前述のマスクを用いてパターニングして、シリコン活性層12を形成する。また、同様なマスクを用いて、前記第2ゲート絶縁層21をパターニングして、第2ゲート絶縁層11を形成する。

【0029】(6) ITO膜をスパッタリング法により成膜し、パターニングして、図3の(f)に示すように画素電極7を形成する。

(7) TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる薄膜23をスパッタリング法により、図4の(g)に示すように成膜する。この薄膜23の膜厚としては、例えば20~70nmにすることが好ましい。

【0030】(8) AlまたはAl合金、もしくはCuまたはCu合金からなる薄膜24を、スパッタリング法

により、図4の(h)に示すように成膜する。この薄膜24の膜厚としては、例えば300~700nmにすることが好ましい。

【0031】(9)図示しないマスクを用いてパターンニングして、図4の(i)に示すように、互いに電氣的に分離されたソース電極15およびドレイン電極16を、前記高濃度シリコン活性層14上に形成する。ソース電極15は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体15aと、この電極本体15aの少なくとも前記高濃度シリコン活性層14との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜15bとから形成される。また、ドレイン電極16は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体16aと、この電極本体16aの少なくとも前記高濃度シリコン活性層14との接触面および前記画素電極7との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜16bとから形成される。

【0032】(10)パッシベーション膜用の絶縁膜をCVD法により成膜し、パターンニングして、図4の(j)に示すようにパッシベーション膜17を形成する。

(11)パッシベーション膜17まで形成されたガラス基板1と、別に形成されたカラーフィルター基板2を、わずかな隙間を残して張合わせた後、その隙間に液晶を封入する。

【0033】以上のようにして、前述した図1および図2に示す構造を有する、ボトムゲート型の液晶表示素子を製造する。次に、本発明に係るトップゲート型TFTを有する液晶表示素子を、図5を参照して詳細に説明する。

【0034】液晶表示素子は、TFTおよび画素電極が形成されたガラス基板25とカラーフィルター基板26との間に液晶27が封入された構造をなす。カラーフィルター基板26は、ガラス基板上に前記画素電極に対応したカラーフィルター28が形成され、その上に、ITO膜29が形成された構造をなす。

【0035】ガラス基板25上には、TFT30が形成されている。前記TFT30は、ガラス基板25上のバッファ層31の上に、シリコン活性層32が形成され、その上に、ゲート絶縁層33、ゲート電極34、第1層間絶縁層35、ソース電極36、ドレイン電極37、第2層間絶縁層38、パッシベーション膜39が形成されたトップゲート型の構造をなしている。前記ソース電極36およびドレイン電極37は、前記第1層間絶縁層35と前記ゲート絶縁層33を貫通して、前記シリコン活性層32に、互いに電氣的に分離して接続されている。画素電極40は、前記第2層間絶縁層38上に形成され、この第2層間絶縁層38を貫通して、前記ドレイン電極37と接続されている。

【0036】前記ゲート電極34は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体34aと、この電極本体34aの少なくとも前記ゲート絶縁層33との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜34bとから形成されている。

【0037】また、前記ソース電極36は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体36aと、この電極本体36aの少なくとも前記シリコン活性層32との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜36bとから形成されている。

【0038】また、前記ドレイン電極37は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体37aと、この電極本体37aの少なくとも前記シリコン活性層32との接触面および前記画素電極40との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜37bとから形成されている。

【0039】ここで、Al合金としては、例えばAl-Si、Al-Si-Cu、Al-Y、Al-Ndからなる合金等を挙げることができる。また、Cu合金としては、例えばCu-Ti、Cu-Nbからなる合金等を挙げることができる。

【0040】被覆用の材料として用いるTiN、MoTa、MoWはバリアー層としての効果があり、レジスト現像液中でITO膜と接触していても、接触部分で酸化還元反応が起こることはない。また、CVD成膜中などに基板温度が300℃以上に上昇しても、シリコン膜との接触部分で相互拡散が起こることはない。さらに、CVD成膜中などに基板温度が300℃以上に上昇しても、ヒロックが発生することはない。また、TiNは、Alと同じ条件でドライエッチングできるため、Al電極にTiNを被覆した場合、ドライエッチング法を用いてAl電極のみの場合と同じ工程数にてパターンニングできる。

【0041】なお、被覆用の材料としてその他に、やはりバリアー層としての効果があるMo、Ta、Cr、Nb、W、Ti、TiWから選ばれた少なくとも1種の材料であっても良い。

【0042】また、前記ゲート電極34の被膜34bは、前記ゲート電極34が前記ゲート絶縁層33と接触する面だけでなく、前記ゲート電極34が前記第1層間絶縁層35と接触する面を覆うように配置されても良い。このように前記ゲート電極34の表面側に被膜を配置することによって、AlまたはAl合金、もしくはCuまたはCu合金の可視光に対する高い反射率のために、前記ゲート電極34の表面が反射して、液晶表示画面が見にくくなることを防止できる。

【0043】次に、上述のトップゲート型TFTを有す



る液晶表示素子の製造方法を、図6、図7および図8を参照して説明する。

(1) ガラス基板25上に、バッファ層31をCVD法により成膜し、その上に、アモルファスシリコン膜41をCVD法により、図6の(a)に示すように成膜する。

【0044】(2) 前記アモルファスシリコン膜41にレーザーを照射して、シリコン活性層用のポリシリコン膜を形成する。その後、図示しないマスクを用いてパターニングして、図6の(b)に示すように、前記バッファ層31の上にシリコン活性層32を形成する。

【0045】(3) ゲート絶縁層33をCVD法により、図6の(c)に示すように成膜する。

(4) TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる薄膜42を、スパッタリング法により、図6の(d)に示すように成膜する。この薄膜42の膜厚としては、例えば20~70nmにすることが好ましい。

【0046】(5) AlまたはAl合金、もしくはCuまたはCu合金からなる薄膜43を、スパッタリング法により、図6の(e)に示すように成膜する。この薄膜43の膜厚としては、例えば300~700nmにすることが好ましい。

【0047】(6) 図示しないマスクを用いてパターニングし、図7の(f)に示すように、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体34aと、この電極本体34aの少なくとも前記ゲート絶縁層33との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜34bとから形成されるゲート電極34を形成する。

【0048】(7) ドーパントイオン44を、図7の(g)に示すように、シリコン活性層12に注入する。(8) 第1層間絶縁層35をCVD法により、図7の(h)に示すように成膜する。

【0049】(9) 図示しないマスクを用いてパターニングして、前記第1層間絶縁層35および前記ゲート絶縁層33を貫通して前記シリコン活性層32に達するコンタクトホール45を、エッチング法を用いて、図7の(i)に示すように形成する。

【0050】(10) TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる薄膜46をスパッタリング法により、図7の(j)に示すように成膜する。この薄膜46の膜厚としては、例えば20~70nmにすることが好ましい。続いて、AlまたはAl合金、もしくは、CuまたはCu合金からなる薄膜47を、スパッタリング法により成膜する。この薄膜47の膜厚としては、例えば300~700nmにすることが好ましい。続いて、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる薄膜48をスパッタリング法により成膜する。この薄膜48の膜厚として

は、例えば20~70nmにすることが好ましい。

【0051】(11) 図示しないマスクを用いてパターニングして、図8の(k)に示すように、互いに電氣的に分離されたソース電極36およびドレイン電極37を、前記第1層間絶縁層35上に形成する。ソース電極36は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体36aと、この電極本体36aの少なくとも前記シリコン活性層32との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜36bとから形成される。また、ドレイン電極37は、AlまたはAl合金、もしくはCuまたはCu合金からなる電極本体37aと、この電極本体37aの少なくとも前記シリコン活性層32との接触面および画素電極との接触面を覆う、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜37bとから形成される。図5に示す液晶表示素子においては、画素電極が前記ドレイン電極37と接触する面は、図8の(k)に示すように、前記ドレイン電極37の上面となる。

【0052】(12) 第2層間絶縁層38をCVD法により成膜し、その後、図示しないマスクを用いてパターニングして、前記第2層間絶縁層38を貫通して前記ドレイン電極37に達するスルーホール49を、エッチング法を用いて、図8の(l)に示すように、形成する。

【0053】(13) スパッタリング法によりITO膜を成膜する。そして、図示しないマスクを用いてパターニングして、図8の(m)に示すように、前記ドレイン電極16の上面と接触するように、画素電極40を形成する。さらに、パッシベーション膜用の絶縁膜をCVD法により成膜し、図示しないマスクを用いてパターニングして、パッシベーション膜39を形成する。

【0054】(14) パッシベーション膜39まで形成されたガラス基板25と、別に形成されたカラーフィルター基板26を、わずかな隙間を残して張合わせた後、その隙間に液晶を封入する。

【0055】以上のようにして、前述した図5に示す構造を有する、トップゲート型の液晶表示素子を製造する。以上、詳述した、本発明に係る液晶表示素子によれば、低抵抗のAlまたはAl合金、もしくはCuまたはCu合金からなる電極配線を使用しても、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜を前記電極上に配置することで、液晶表示素子が正常に動作し、かつ正常な機能が保たれる。

【0056】つまり、本発明の液晶表示素子を製造する工程において、ガラス基板をレジスト現像液へ浸透させても、ITO膜とAlまたはAl合金からなるドレイン電極は、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜を介して接触しているため、接触部分で酸化還元反応は起きない。そのため、AlからAl<sub>2</sub>O<sub>3</sub>酸化物が生成されることはなく、ドレ

イン電極と画素電極間の導通は保たれる。その結果、TFTのON、OFF制御に合わせて画素電極が正常に動作する。また、画素電極を構成するITO膜も還元されず、InやSnも析出されない。その結果、画素電極も透明度を保持する。さらに、ガラス基板に絶縁膜などをCVD成膜して、基板温度が300℃以上に上昇しても、シリコン活性層とAlまたはAl合金、もしくはCuまたはCu合金からなるソース電極およびドレイン電極は、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜を介して接触しているため、接触部分で相互拡散は起きない。その結果、接触部のコンタクト抵抗は低く保たれ、TFTは正常に動作する。さらに、ガラス基板に絶縁膜などをCVD成膜して、基板温度が300℃以上に上昇しても、AlまたはAl合金からなるゲート電極表面は、TiN、MoTa、MoWから選ばれた少なくとも1種の材料からなる被膜が配置されているため、表面にヒロックは発生しない。その結果、AlまたはAl合金からなるゲート電極とシリコン活性層のチャンネル部の間の絶縁は保たれ、TFTは正常に動作する。

【0057】以上の結果、低抵抗のAlまたはAl合金、もしくはCuまたはCu合金からなる電極配線の使用を可能にし、電極配線幅を微細化できる。そして、開口率が向上した液晶表示素子を提供することができる。

【0058】

【実施例】以下、本発明の実施例を前述の図面を参照して具体的に説明する。

(実施例1) 前述の図1および図2に示す構造のボトムゲート型の液晶表示素子を製造した。

【0059】本実施例の液晶表示素子の製造方法を、前述の図3および図4を参照しながら、説明する。

(1) ガラス基板1上に、下地コート膜8としてSiO<sub>2</sub>を、CVD法により図3の(a)に示すように成膜し、その上に、ゲート電極用の500nmの膜厚のAl薄膜19を、スパッタリング法により成膜した。

【0060】(2) 50nmの膜厚のTiN薄膜20を、図3の(b)に示すように、スパッタリング法により成膜した。

(3) 図示しないマスクを用いてパターニングし、図3の(c)に示すように、Alからなる電極本体9aと、この電極本体9aがゲート絶縁層と接触する面のうち、少くとも前記電極本体9aとシリコン活性層のチャンネル部との間に位置する接触面を覆うTiN被覆9bを有する、幅が約5μmのゲート電極9を形成した。本実施例の液晶表示素子においては、前記電極本体9aとシリコン活性層のチャンネル部との間に位置する接触面は、図3の(c)に示すように、前記ゲート電極9の上面となる。

【0061】(4) 第1ゲート絶縁層用のSiO<sub>2</sub>膜10、第2ゲート絶縁膜用のg-SiN<sub>x</sub>膜21、シリコ

ン活性層用のアモルファスシリコン膜22、チャンネル保護膜用のSiN<sub>x</sub>膜を、CVD法により連続成膜した。その後、パターニングして、図3の(d)に示すように、前記アモルファスシリコン膜22上にチャンネル保護膜13を形成した。

【0062】(5) 高濃度シリコン活性層用のn<sup>+</sup>アモルファスシリコン膜をCVD法により成膜し、パターニングして、図3の(e)に示すように、高濃度シリコン活性層14を形成し、同時に、前記アモルファスシリコン膜22をパターニングして、シリコン活性層13を形成した。また、同時に、前記第2ゲート絶縁膜21をパターニングして、第2ゲート絶縁層11を形成した。

【0063】(6) 画素電極用のITO膜を、スパッタリング法により成膜し、パターニングして、図3の(f)に示すように画素電極7を形成した。

(7) 50nmの膜厚のTiN薄膜23をスパッタリング法により、図4の(g)に示すように成膜した。

【0064】(8) 500nmの膜厚のAl薄膜24を、スパッタリング法により、図4の(h)に示すように成膜した。

(9) 図示しないマスクを用いてパターニングして、図4の(i)に示すように、互いに電氣的に分離された、幅が約5μmのソース電極15およびドレイン電極16を、前記高濃度シリコン活性層14上に形成した。そして、ソース電極15は、Al電極本体15aと、この電極本体15aの少なくとも前記高濃度シリコン活性層14との接触面を覆うTiN被膜15bとから形成された構造とした。また、ドレイン電極16は、Al電極本体16aと、この電極本体16aの少なくとも前記高濃度シリコン活性層14との接触面および前記画素電極7との接触面を覆うTiN被膜16aとから形成された構造とした。

【0065】(10) パッシベーション膜用のSiN<sub>x</sub>膜をCVD法により成膜し、パターニングして、図4の(j)に示すようにパッシベーション膜17を形成した。

(11) パッシベーション膜17まで形成されたガラス基板1と、別に形成されたカラーフィルター基板2を、わずかな隙間を残して張合わせた後、その隙間に液晶を封入した。

【0066】以上のようにして、前述した図1および図2に示す構造をなす、Al電極配線にTiN被膜を配置した、ボトムゲート型の液晶表示素子を製造した。本実施例の液晶表示素子においては、ゲート電極9は、Al電極本体9aと、この電極本体9aがゲート絶縁層10と接触する面のうち、少くとも前記電極本体9aとシリコン活性層12のチャンネル部18との間に位置する接触面を覆うTiN被膜9bとから形成されている。また、ソース電極15は、Al電極本体15aと、この電極本体15aの少なくとも高濃度シリコン活性層14との接

触面を覆うTiN被膜15bとから形成されている。また、ドレイン電極16は、Al電極本体16aと、この電極本体16aの少なくとも前記高濃度シリコン活性層14との接触面および画素電極7との接触面を覆うTiN被膜16bとから形成されている。

【0067】本実施例の液晶表示素子を製造する工程においては、ガラス基板1をレジスト現像液へ浸透させても、ドレイン電極16とITO膜からなる画素電極7が接触している部分で酸化還元反応は起きず、AlからAl<sub>2</sub>O<sub>3</sub>酸化物が生成されることはなかった。その結果、ドレイン電極16と画素電極7間の導通は保たれ、TFTのON、OFF制御に合わせて画素電極7が正常に動作した。また、画素電極7を構成するITO膜も還元されず、InやSnも析出されなかった。その結果、画素電極7も透明度を保持した。さらに、ガラス基板1に絶縁膜などをCVD成膜して基板温度が300℃以上に上昇しても、ソース電極15およびドレイン電極16と高濃度シリコン活性層14との間で相互拡散は起きなかった。その結果、ソース電極15およびドレイン電極16と高濃度シリコン活性層14との間のコンタクト抵抗が低く保たれ、TFTが正常に動作した。さらに、ガラス基板1に絶縁膜などをCVD成膜して基板温度が300℃以上に上昇しても、ゲート電極9表面にヒロックは発生しなかった。その結果、ゲート電極9とシリコン活性層12との間の絶縁が保たれ、TFTが正常に動作した。

【0068】以上の結果、本実施例の液晶表示素子において、液晶表示素子の動作および機能を劣化させることなく、5μmという細い電極配線幅が実現され、開孔率が10%向上された液晶表示素子が実現できた。

【0069】(実施例2) 前記電極材料をAlからCuに換えた以外は、実施例1と同じ条件にて、前述の図1および図2に示す構造をなす、ボトムゲート型の液晶表示素子を製造した。

【0070】本実施例の液晶表示素子においては、ゲート電極9は、Cu電極本体9aと、この電極本体9aがゲート絶縁層10と接触する面のうち、少なくとも前記電極本体9aとシリコン活性層12のチャネル部18との間に位置する接触面を覆うTiN被膜9bとから形成されている。また、ソース電極15は、Cu電極本体15aと、この電極本体15aの少なくとも高濃度シリコン活性層14との接触面を覆うTiN被膜15bとから形成されている。また、ドレイン電極16は、Cu電極本体16aと、この電極本体16aの少なくとも前記高濃度シリコン活性層14との接触面および画素電極7との接触面を覆うTiN被膜16bとから形成されている。

【0071】本実施例の液晶表示素子を製造する工程においては、ガラス基板1に絶縁膜などをCVD成膜して基板温度が300℃以上に上昇しても、ソース電極15およびドレイン電極16と高濃度シリコン活性層14と

の間に相互拡散は起きなかった。そして、ソース電極15およびドレイン電極16と前記高濃度シリコン活性層14との間のコンタクト抵抗が低く保たれ、TFTが正常に動作した。

【0072】以上の結果、液晶表示素子の動作および機能を劣化させることなく、5μmという細い電極配線幅が実現され、開孔率が10%向上された液晶表示素子が実現できた。

【0073】(実施例3) 前述の図5に示す構造のトップゲート型の液晶表示素子を製造した。本実施例の液晶表示素子の製造方法を、前述の図6、図7および図8を参照しながら、説明する。

【0074】(1) ガラス基板25上に、バッファ層31としてSiO<sub>2</sub>膜をCVD法により成膜し、その上に、アモルファスシリコン膜41をCVD法により、図6の(a)に示すように成膜した。

【0075】(2) 前記アモルファスシリコン膜41にエキシマレーザーを照射して、シリコン活性層用のポリシリコン膜を形成した。その後、図示しないマスクを用いてパターニングして、図6の(b)に示すように、前記バッファ層31の上に、シリコン活性層32を形成した。

【0076】(3) ゲート絶縁層用のSiO<sub>2</sub>膜をCVD法により成膜して、図6の(c)に示すようにゲート絶縁層33を形成した。

(4) 50nmの膜厚のMoTa薄膜42を、スパッタリング法により、図6の(d)に示すように成膜した。

【0077】(5) 300nmの膜厚のCu薄膜43を、スパッタリング法により、図6の(e)に示すように成膜した。

(6) 図示しないマスクを用いてパターニングして、図7の(f)に示すように、Cu電極本体34aと、この電極本体34aの少なくとも前記ゲート絶縁層33との接触面を覆うMoTa被膜34bとから形成された、幅が約5μmのゲート電極34を形成した。

【0078】(7) PH<sub>3</sub>/H<sub>2</sub>などのドーパントイオン44を、図7の(g)に示すように、シリコン活性層32に注入した。

(8) 第1層間絶縁層用SiO<sub>2</sub>膜をCVD法により成膜して、図7の(h)に示すように、第1層間絶縁層35を形成した。

【0079】(9) 図示しないマスクを用いてパターニングして、前記第1層間絶縁層35および前記ゲート絶縁層33を貫通して、前記シリコン活性層32に達するコンタクトホール45を、図7の(i)に示すように、形成した。

【0080】(10) 50nmの膜厚のMoTa薄膜46を、スパッタリング法により、図7の(j)に示すように成膜した。続いて、300nmの膜厚のCu薄膜47をスパッタリング法により成膜した。続いて、50nm

mの膜厚のMoTa薄膜48をスパッタリング法により成膜した。

【0081】(11)図示しないマスクを用いてパターンニングして、図8の(k)に示すように、互いに電氣的に分離された、幅が約5 $\mu$ mのソース電極36およびドレイン電極37を、前記第1層間絶縁層35上に形成した。そして、ソース電極36は、Cu電極本体36aと、この電極本体36aの少なくとも前記シリコン活性層32との接触面を覆うMoTa被膜36bとから形成された構造とした。また、ドレイン電極37は、Cu電極本体37aと、この電極本体37aの少なくとも前記シリコン活性層37aとの接触面および画素電極との接触面を覆うMoTa被膜37bとから形成された構造とした。本実施例の液晶表示素子においては、画素電極が前記ドレイン電極37と接触する面は、図8の(k)に示すように、前記ドレイン電極37の上面となる。

【0082】(12)第2層間絶縁層用SiO<sub>2</sub>膜をCVD法により成膜し、その後、図示しないマスクを用いてパターンニングして、図8の(l)に示すように、第2層間絶縁層38、およびこの第2層間絶縁層38を貫通して前記ドレイン電極37に達するスルーホール49を形成した。

【0083】(13)スパッタリング法によりITO膜を成膜した。そして、図示しないマスクを用いてパターンニングして、図8の(m)に示すように、前記ドレイン電極37の上面と接触するように、画素電極40を形成した。さらに、パッシベーション膜用のSiN<sub>x</sub>膜をCVD法により成膜し、図示しないマスクを用いてパターンニングして、パッシベーション膜39を形成した。

【0084】(14)パッシベーション膜39まで形成されたガラス基板25と、別に形成されたカラーフィルター基板26を、わずかな隙間を残して張合わせた後、その隙間に液晶を封入した。

【0085】以上のようにして、前述した図5に示す構造をなす、Cu電極配線にMoTa被膜を配置した、トップゲート型の液晶表示素子を製造した。本実施例の液晶表示素子においては、ゲート電極34は、Cu電極本体34aと、この電極本体34aの少なくともゲート絶縁層33との接触面を覆うMoTa被膜34bとから形成されている。ソース電極36は、Cu電極本体36aと、この電極本体36aの少なくともシリコン活性層32との接触面を覆うMoTa被膜36bとから形成されている。また、ドレイン電極37は、Cu電極本体37aと、この電極本体37aの少なくとも前記シリコン活性層32との接触面および画素電極40との接触面を覆うMoTa被膜37bとから形成されている。

【0086】本実施例の液晶表示素子を製造する工程においては、ガラス基板25に絶縁膜などをCVD成膜して基板温度が300℃以上に上昇しても、ソース電極36およびドレイン電極37とシリコン活性層32との間

で相互拡散は起きなかった。そして、ソース電極36およびドレイン電極37とシリコン活性層32との間のコンタクト抵抗が低く保たれ、TFTが正常に動作した。

【0087】以上の結果、本実施例の液晶表示素子において、液晶表示素子の動作および機能を劣化させることなく、5 $\mu$ mという細い電極配線幅が実現され、開孔率が10%向上された液晶表示素子が実現できた。

【0088】(実施例4)前記電極材料をCuからAlに換えた以外は、実施例3と同じ条件にて、前述の図5に示す構造をなす、トップゲート型の液晶表示素子を製造した。

【0089】本実施例の液晶表示素子においては、ゲート電極34は、Al電極本体34aと、この電極本体34aの少なくともゲート絶縁層33との接触面を覆うMoTa被膜34bとから形成されている。ソース電極36は、Al電極本体36aと、この電極本体36aの少なくともシリコン活性層32との接触面を覆うMoTa被膜36bとから形成されている。また、ドレイン電極37は、Al電極本体37aと、この電極本体37aの少なくとも前記シリコン活性層32との接触面および画素電極40との接触面を覆うMoTa被膜37bとから形成されている。

【0090】本実施例の液晶表示素子を製造する工程においては、ガラス基板25をレジスト現像液へ浸透させても、ドレイン電極25とITO膜からなる画素電極40が接触している部分で酸化還元反応は起きず、AlからAl<sub>2</sub>O<sub>3</sub>酸化物が生成されることはなかった。その結果、ドレイン電極37と画素電極40間の導通は保たれ、TFTのON、OFF制御に合わせて画素電極40が正常に動作した。また、画素電極40を構成するITO膜も還元されず、InやSnも析出されなかった。その結果、画素電極40も透明度を保持した。さらに、ガラス基板25に絶縁膜などをCVD成膜して基板温度が300℃以上に上昇しても、ソース電極36およびドレイン電極37とシリコン活性層32との間で相互拡散は起きなかった。その結果、ソース電極36およびドレイン電極37とシリコン活性層32との間のコンタクト抵抗が低く保たれ、TFTが正常に動作した。さらに、ガラス基板25に絶縁膜などをCVD成膜して基板温度が300℃以上に上昇しても、ゲート電極34表面にヒロックは発生しなかった。その結果、ゲート電極34とシリコン活性層32との間の絶縁が保たれ、TFTが正常に動作した。

【0091】以上の結果、本実施例の液晶表示素子において、液晶表示素子の動作および機能を劣化させることなく、5 $\mu$ mという細い電極配線幅が実現され、開孔率が10%向上された液晶表示素子が実現できた。

【0092】

【発明の効果】以上詳述したように、本発明によれば、液晶表示素子の動作および機能を劣化させることなく、

低抵抗のAlまたはAl合金、もしくは、CuまたはCu合金からなる電極配線の使用を可能にし、電極配線幅の微細化による開口率の向上が達成された、液晶表示素子を提供することができる。その結果、明度が高く、消費電力が低減されて長寿命の液晶表示素子を提供できる等の効果を奏する。

【図面の簡単な説明】

【図1】本発明に係るボトムゲート型液晶表示素子を示す平面図。

【図2】本発明に係るボトムゲート型液晶表示素子を示す断面図。

【図3】本発明に係るボトムゲート型液晶表示素子の製造工程を示す断面図。

【図4】本発明に係るボトムゲート型液晶表示素子の製造工程を示す断面図。

【図5】本発明に係るトップゲート型液晶表示素子を示す断面図。

【図6】本発明に係るトップゲート型液晶表示素子の製

造工程を示す断面図。

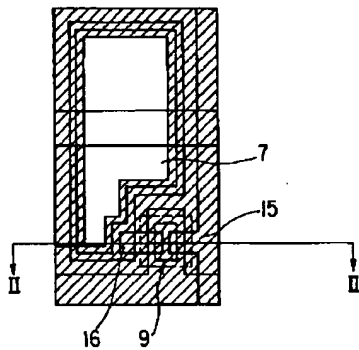
【図7】本発明に係るトップゲート型液晶表示素子の製造工程を示す断面図。

【図8】本発明に係るトップゲート型液晶表示素子の製造工程を示す断面図。

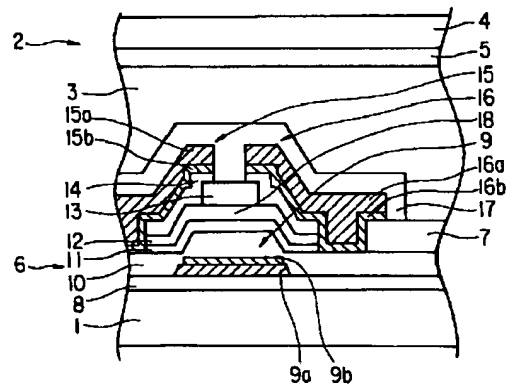
【符号の説明】

- 1、25…ガラス基板、
- 6、30…薄膜トランジスタ、
- 7、35…画素電極、
- 9、34…ゲート電極、
- 9b、15b、16b、34b、36b、37b…被膜、
- 10、33…ゲート絶縁膜、
- 11、32…シリコン活性層、
- 14…高濃度シリコン活性層、
- 15、36…ソース電極、
- 16、37…ドレイン電極。

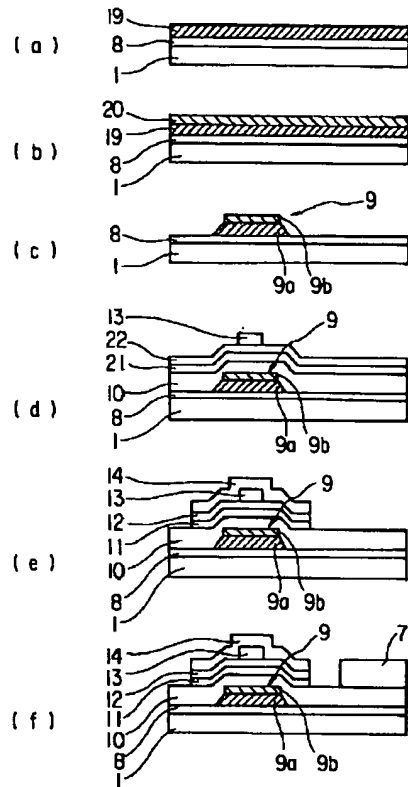
【図1】



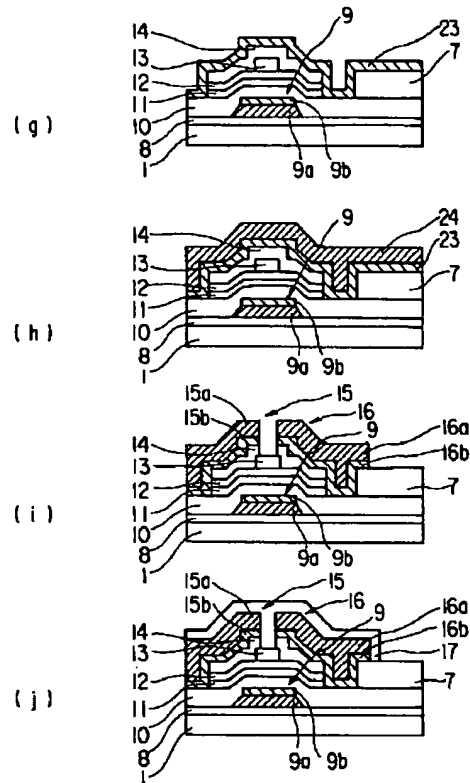
【図2】



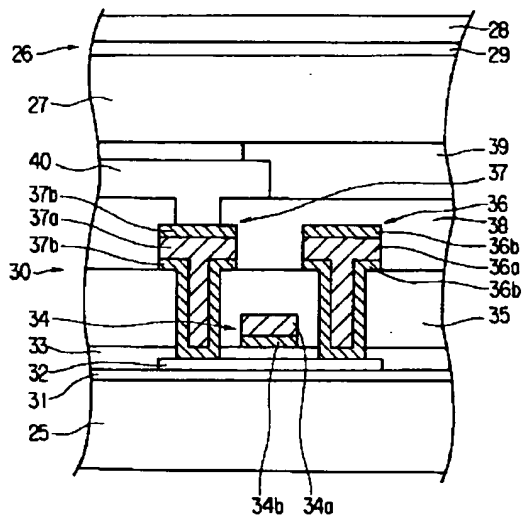
【図3】



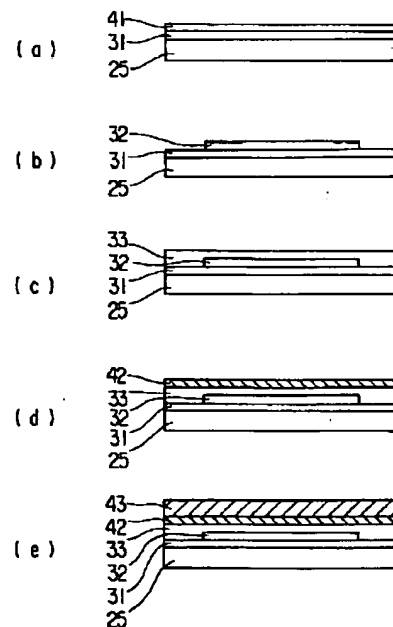
【図4】



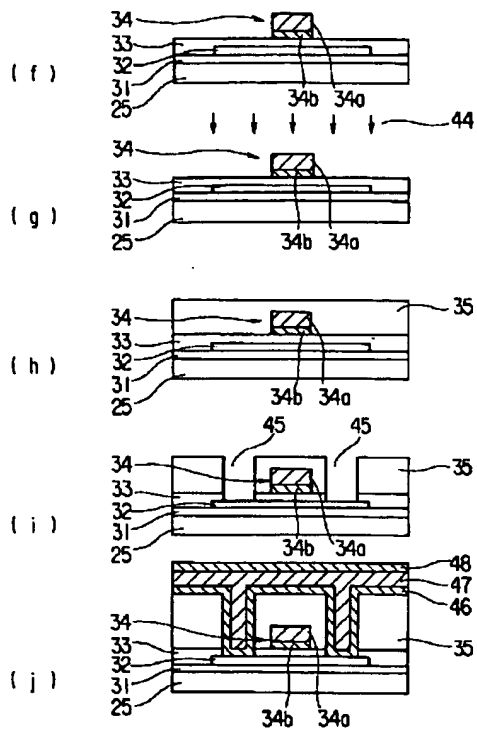
【図5】



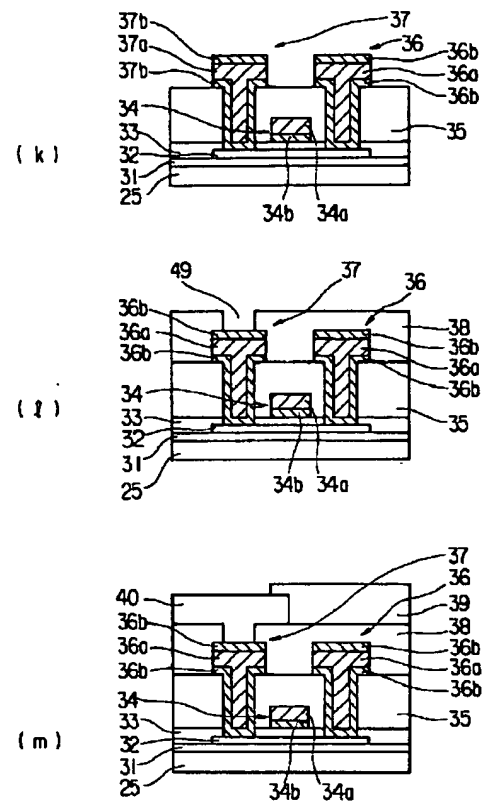
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78

6 1 7 U

(72)発明者 加納 正明

神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内